

Searching PAJ

1/1 ページ
[Cite No.] 6.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-081920

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

G05F 1/56

G09B 3/20

G09B 3/32

(21)Application number : 10-253034

(71)Applicant : CANON INC

(22)Date of filing : 07.09.1998

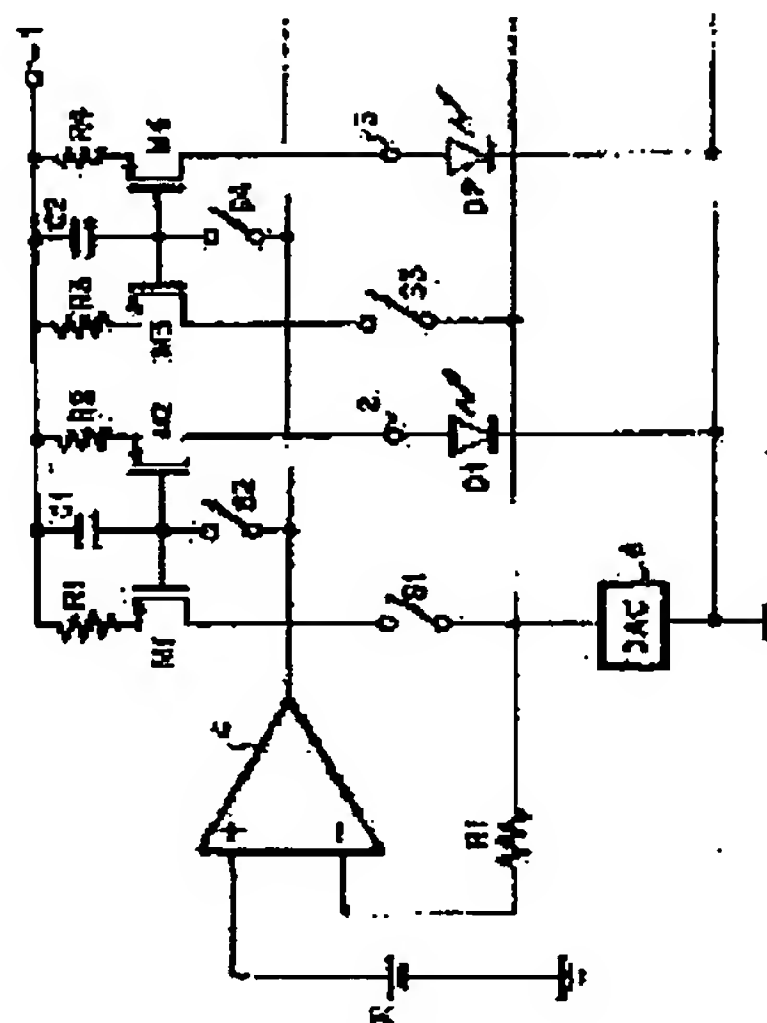
(72)Inventor : SAKURAGI KOSEI

(54) CURRENT OUTPUT CIRCUIT

(57)Abstract

PROBLEM TO BE SOLVED: To improve a conventional current output circuit by reducing the dispersion of currents between output channels, reducing the occupied area of the current output circuit integrated on a semiconductor chip and shortening time required for the setting of a current.

SOLUTION: The current output circuit is provided with a reference current source 8, plural current supply circuits each of which includes a current mirror circuit consisting of a pair of MOS transistors and a hold capacitor, an operational amplifier 4, and plural switching element for selecting one of plural current supply circuits in accordance with a load and constituted so as to supply a driving current corresponding to a current sampled by the element of each load by allowing the amplifier 4 to control the current sampled by the current mirror circuit so as to become the same current as the reference current of the reference current source 8.



LEGAL STATUS

[Date of request for examination] 07.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3315652

[Date of registration] 07.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10)日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A) (11)特許出願公開番号
特開2000-81920
(P2000-81920A)
(43)公開日 平成12年3月21日 (2000.3.21)

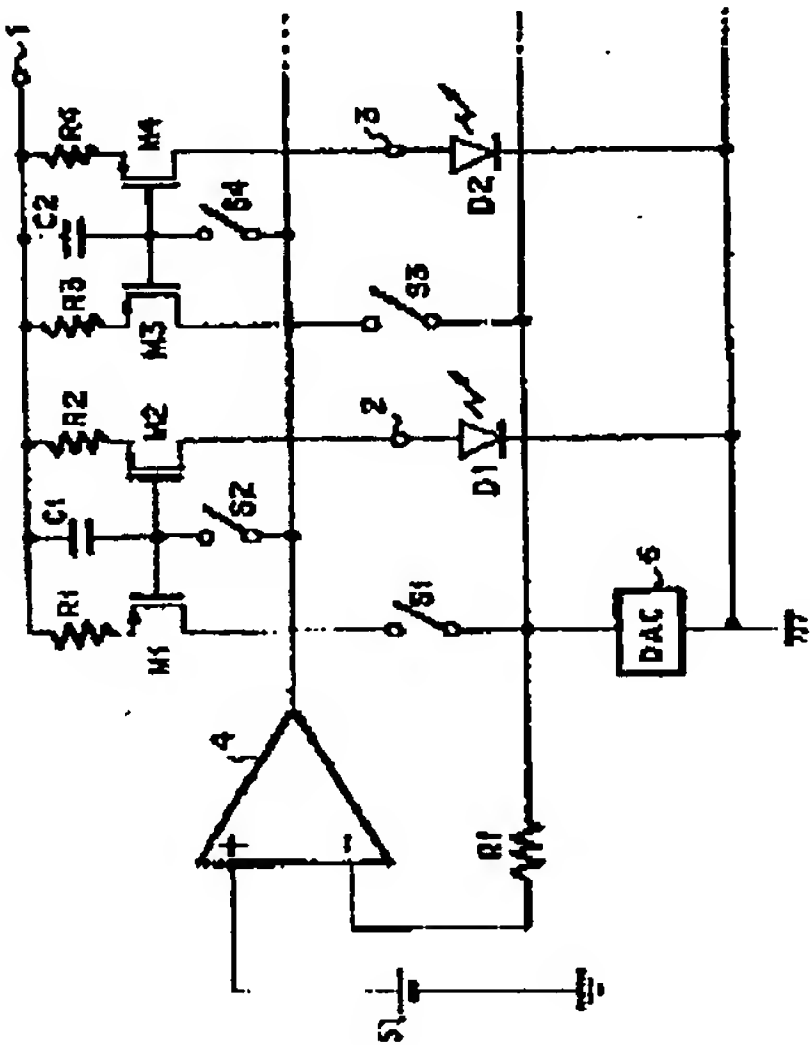
(51)Int.Cl.	続列記号	F I	テームト (参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 X 5 C 0 8 0
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D 5 H 4 3 0
3/32		3/32	A

審査請求 未請求 請求項の数 2 OI. (全 6 頁)

(21)出願番号 特願平10-253034	(71)出願人 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日 平成10年9月7日 (1998.9.7)	(72)発明者 桜木 孝正 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
	(74)代理人 100065385 弁理士 山下 稔平
	Fターム(参考) 5C080 AA07 BB05 DD25 DI28 FE01 FE17 FF03 FF09 JJ02 JJ03 5H430 BB01 BB05 BB09 BB12 EE08 EE07 EE12 FF11 GG11 HH03 JJ07 LA06

(54)【発明の名称】 電流出力回路

(57)【要約】
【課題】 従来の電流出力回路では、出力チャネル間の電流バラツキが大きく、半導体チップに集積化する場合に占有面積が大きくなり、更に、電流の設定に時間を要する。
【解決手段】 単一の基準電流源6、一対のMOSTランジスタから成るカレントミラー回路とホールドコンデンサを含む複数の電流供給回路、演算増幅器4、電流供給回路を負荷に応じて選択する複数のスイッチ素子を用い、演算増幅器4によりカレントミラー回路でサンプリングする電流が基準電流源6の基準電流と同一となるように制御することにより、各々の負荷の素子にサンプリングされた電流に応じた駆動電流を供給する。



(2)

特開2000-81920

【特許請求の範囲】

【請求項1】 所定の基準電流を出力する単一の基準電流源と、複数の電流出力に対応して設けられ、各々ゲート端子が共通に接続された一対のMOSトランジスタから成るカレントミラー回路、前記カレントミラー回路のゲート電位をホールドするホールドコンデンサから成り、前記一対のトランジスタのうち一方のトランジスタにより前記基準電流をサンプリングし、他方のトランジスタから負荷の素子に駆動電流を供給するように構成された複数の電流供給回路と、正転入力端子に所定の基準電圧が入力され、反転入力端子に前記カレントミラー回路の一対のトランジスタのうち一方のトランジスタの出力電圧が帰還抵抗器を介してフィードバックされ、出力端子は前記カレントミラー回路のゲート端子に接続された演算増幅器と、前記複数の電流供給回路を負荷の素子に応じて選択する複数のスイッチ素子とを含み、前記演算増幅器により各電流供給回路がサンプリングする電流が前記基準電流と同一となるように制御することにより、各々の負荷の素子にサンプリングされた電流に応じた駆動電流を供給することを特徴とする電流出力回路。

【請求項2】 前記演算増幅器の基準電圧は、前記負荷の素子の両端電圧と略等しくなるように設定されていることを特徴とする請求項1に記載の電流出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、所定の基準電流をサンプリングしてそれに応じた電流を出力する電流出力回路、特に、表示装置等における複数の発光素子等の駆動回路に好適な電流出力回路に関するものである。

【0002】

【従来の技術】 従来、発光ダイオード（以下、LEDという）等の発光素子を多数配列して文字や画像を表示する場合、例えば、図3に示すように各々のLED素子D1、D2、…に対応してD/AコンバータB1、B2、…等の定電流回路を設け、各D/Aコンバータから各LED素子に所定の駆動電流を供給することにより各々のLED素子を駆動している。LED素子はD/Aコンバータの駆動電流によって発光量が変化し、各D/Aコンバータは電流出力型で、Vref+はD/Aコンバータにおけるリファレンス電圧の高圧側入力端子、Vref-は低圧側入力端子である。各々のD/Aコンバータの出力電流は、何らかの方法で各D/Aコンバータのデジタルデータが設定されていればVref+、Vref-の入力電圧によって決定される。

【0003】 図4は通常の電流出力型のD/Aコンバータを示す回路図である。図4において、A1は演算増幅器、RfはVref+、Vref-のリファレンス電圧から電流に変換するための帰還抵抗器、Q1、Q2、…はバイナリーの積み付けがなされた定電流回路を構成するNPNトランジスタ、R1、R2、…は抵抗器、S1、S

2、…はスイッチ素子、Tは電流出力端子である。

【0004】 図4の電流出力型D/Aコンバータを用いて図3に示すように多チャネルのLED素子の駆動回路を構成する場合、問題となるのは各チャネルにおける出力電流値のバラツキである。特に、出力電流値のバラツキを大きく左右するのは、帰還抵抗器Rfの抵抗値のバラツキである。そのため、半導体集積回路で多チャネルLED素子駆動回路を集積化すると、出力チャネル数が増大するに従いバラツキが増加し、バラツキを小さくするためには、レーザトリミング等による帰還抵抗器Rfの調整を必要とし、製造コストが増加してしまう。また、D/Aコンバータはチャネル数分必要であるため、集積回路の占有面積も当然増大するという問題点があった。

【0005】 また、他の多チャネルLED素子駆動回路として図5に示すように1つの電流源を用い、且つスイッチ素子とコンデンサによるサンプリング回路を併用したものが考えられている。図5において、DACは電流出力型D/Aコンバータ、M1、M2、M3、…は定電流回路を構成するPMOSTランジスタ、S1、S2、S3、…とC1、C2、C3、…はそれぞれサンプリング/ホールド回路を構成するスイッチ素子とコンデンサ、D1、D2、D3、…はLED等の発光素子、Tは電源端子である。

【0006】 動作を説明すると、まず、スイッチ素子S1、S4をオンし、他のスイッチ素子をオフすることによりホールドコンデンサC1をDACの出力電流によって充電する。コンデンサC1の充電電圧は、DACの出力電流とPMOSTランジスタM1のゲートソース間電圧Vgs対ドレイン電流Idの特性によって決定され、その電圧に応じてカレントミラー回路を構成するトランジスタM1の他方側トランジスタM2により発光素子D1が定電流駆動される。また、スイッチ素子S1、S4をオフし、スイッチ素子S2、S5をオンすると、同様にホールドコンデンサC2が充電され、その充電電圧に応じてトランジスタM4により発光素子D2が定電流駆動される。

【0007】 図5の回路の場合、各チャネルの出力電流を決定するのは1つのDACであるので、多数のDACを用いた図3の駆動回路のような電流のバラツキは発生しない。但し、カレントミラーを構成するトランジスタM1、M2、抵抗器R1、R2やトランジスタM3、M4、抵抗器R3、R4等の相対精度は出力電流バラツキの要素となり得るが、それぞれの素子は隣接して配置できるので、図3の回路よりも電流バラツキを小さくすることができる。

【0008】

【発明が解決しようとする課題】 しかしながら、図5の回路では、高速のサンプリング/ホールドを行うと、ホールドコンデンサの充電速度はコンデンサの容量とDACの

(3)

特開2000-81920

電流により決まり、DACの出力電流の依存を受ける上、ホールドコンデンサの容量を小さくするにつれてスイッチ素子S4～S6のオフ時に発生するホールドステップと呼ばれるホールド電圧の変位が大きくなるため、DACに設定された電流値に対して定電流回路を構成するトランジスタM2、M4、M6、…の出力電流のずれが大きくなるという問題があった。

【0009】更に、ホールドコンデンサの放電速度はゲートとドレインが短絡されたPMOSTランジスタM1、M3、M5、…の相互コンダクタンス g_m で決まってしまう。また、各トランジスタの素子サイズは、相互コンダクタンス g_m が各トランジスタのゲート長Lとゲート幅Wとの比(W/L)に依存するため、ホールドコンデンサの放電速度を速めるためには相互コンダクタンスを大きくする必要があるが、そのためには各トランジスタM1、M2、M3、…のゲート幅Wを大きくする必要がある。

【0010】しかし、PMOSTランジスタM1、M2、M3、…のゲート幅を大きくすると、素子回路の占有面積が増大するのは当然であるが、同時にドレインに付随する半導体基板との間等で形成される寄生容量が大きくなってしまい、しかも、この寄生容量は出力チャネル数倍されるため、寄生容量は高速のサンプル/ホールド速度を阻害するという問題があった。また、図6の回路のカレントミラーの精度は、カレントミラー回路を構成する一対のトランジスタのドレインソース間電圧 V_{DS} のアンバランスによっても発生し、これも出力電流のバラツキの原因になっていた。

【0011】本発明は、上記従来の問題点に鑑みなされたもので、高速且つ高精度で出力電流を設定することが可能で、出力電流のチャネル間バラツキを小さくでき、更に半導体チップに集積化する場合に占有面積を小さくすることが可能な電流出力回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の目的は、所定の基準電流を出力する単一の基準電流源と、複数の電流出力に対応して設けられ、各々ゲート端子が共通に接続された一対のMOSTランジスタから成るカレントミラー回路、前記カレントミラー回路のゲート電位をホールドするホールドコンデンサから成り、前記一対のトランジスタのうち一方のトランジスタにより前記基準電流をサンプリングし、他方のトランジスタから負荷の素子に駆動電流を供給するように構成された複数の電流供給回路と、正転入力端子に所定の基準電圧が入力され、反転入力端子に前記カレントミラー回路の一対のトランジスタのうち一方のトランジスタの出力電圧が帰還抵抗器を介してフィードバックされ、出力端子は前記カレントミラー回路のゲート端子に接続された演算増幅器と、前記複数の電流供給回路を負荷の素子に応じて選択する複数の

スイッチ素子とを含み、前記演算増幅器により各電流供給回路がサンプリングする電流が前記基準電流と同一となるように制御することにより、各々の負荷の素子にサンプリングされた電流に応じた駆動電流を供給することを特徴とする電流出力回路によって達成される。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の一実施形態の構成を示す回路図である。図1において、まず、M1、M2はゲート端子が共通に接続された一対のPMOSTランジスタ、C1は電流出力型D/Aコンバータ6の出力電流をサンプル/ホールドするためのホールドコンデンサである。ホールドコンデンサC1はトランジスタのゲート端子と電源端子1との間に接続されている。一対のPMOSTランジスタM1、M2によりカレントミラー回路が構成されている。また、S1、S2はスイッチ素子、R1、R2は抵抗器、D1は駆動対象の発光素子である。

【0014】一対のトランジスタM1、M2のうち一方のトランジスタM1のドレイン端子はスイッチ素子S1を介してD/Aコンバータ6に接続され、他方のトランジスタM2のドレイン端子は出力端子2を介して発光素子D1に接続されている。即ち、トランジスタM1によりD/Aコンバータ6の出力電流をサンプリングし、トランジスタM2により負荷の発光素子D1にサンプリングされた電流に応じた駆動電流を供給するように構成されている。また、一対のトランジスタM1、M2のゲート端子はスイッチ素子S2を介して演算増幅器4の出力端子に接続されている。以上の一対のトランジスタM1、M2、ホールドコンデンサC1、抵抗器R1、R2、スイッチ素子S1、S2で1チャネルの電流供給回路が構成されている。

【0015】また、M3、M4はPMOSTランジスタ、C2はホールドコンデンサ、R1、R2は抵抗器、S3、S4はスイッチ素子、D2は発光素子である。トランジスタM3、M4は同様にカレントミラー構成である。また、一方のトランジスタM3のドレイン端子はスイッチ素子S3を介して電流出力型D/Aコンバータ6に接続され、他方のトランジスタM4のドレイン端子は出力端子3を介して発光素子D2に接続されている。更に、トランジスタM3、M4のゲート端子はスイッチ素子S4を介して演算増幅器4の出力端子に接続されている。以上のトランジスタM3、M4、ホールドコンデンサC2、抵抗器R3、R4、スイッチ素子S3、S4で1チャネルの電流供給回路が構成されている。

【0016】ここで、演算増幅器4は電流帰還型の演算増幅器であり、正転入力端子+にバイアス電圧源5から所定の基準電圧が入力され、反転入力端子-には帰還抵抗器Rfの一端が接続されている。帰還抵抗器Rfの他端はスイッチ素子S1、S3、とD/Aコンバータ6と

(4)

特開2000-81920

の接続点に接続されている。また、演算増幅器4の出力端子は前述のようにスイッチ素子S2、S4の一端が接続されている。演算増幅器4における反転入力端子-の定義は、この反転入力端子-から流れ出る電流が発生した時に演算増幅器4の出力電圧が低下する側の入力端子である。正転入力端子+は、通常の電流帰還型オペアンプと同様に高入力インピーダンスとなっている。

【0017】D/Aコンバータ6は前述のように電流出力型D/Aコンバータであり、所定の基準電流を出力する。電流出力型D/Aコンバータ6は各々の電流供給回路で電流をサンプリングする際の基準電流源として用いられる。なお、図1の回路では、簡単のため2チャンネル分の回路のみ示しているが、実際には駆動対象の複数の発光素子に対応して、一対のトランジスタ、ホールドコンデンサ、抵抗器、スイッチ素子からなる電流供給回路が複数設けられ、各々駆動対象の発光素子に駆動電流を供給するように構成されている。

【0018】また、本実施形態では、複数の発光素子を配置して文字や画像を表示する表示装置を駆動対象としていて、スイッチ素子により点灯すべき発光素子を選択し、目的の発光素子に駆動電流を供給することにより、文字や画像等を表示する。スイッチ素子S1、S2、スイッチ素子S3、S4はそれぞれ対になっていて、各対のスイッチ素子は図示しない制御回路からの制御信号により同時にオン/オフ制御される。

【0019】次に、本実施形態の動作について説明する。まず、例えば、制御回路からの制御信号によりスイッチ素子S1、S2をオンしたものとす。他のスイッチ素子はオフとする。スイッチ素子S1、S2がオンすると、電流出力型D/Aコンバータ6の出力電流に応じた電流をPMOSトランジスタM2が出力するようにトラッキングした状態となる。この時、演算増幅器4の反転入力端子-にトランジスタM1のドレイン電圧が帰還抵抗器Rfを介してフィードバックされ、一方、正転入力端子+には電圧源5から所定の基準電圧が入力されているため、演算増幅器4においてトランジスタM1のドレイン電圧が基準電圧に等しくなるように制御が働く。

【0020】ここで、例えば、トランジスタM1のドレイン電流がD/Aコンバータ6の出力電流よりも少ないとトランジスタM1のドレイン電圧が低下し、一方、演算増幅器4の反転入力端子-は正転入力端子+にほぼ等しい電圧で低インピーダンス駆動されているため、帰還抵抗器RfにはD/Aコンバータ6へ電流が流れ込む方向に電流が流れ、その結果、演算増幅器4の出力電圧、即ち、トランジスタM1、M2のゲート電圧が低下する。従って、トランジスタM1のドレイン電流が増加し、演算増幅器4のゲインが十分に高いと帰還抵抗器Rfに流れる電流がほぼ0になったところで安定し、トランジスタM1のドレイン電流はD/Aコンバータ6の出力電流に等しくなる。

【0021】トランジスタM1とM2はカレントミラー構成であるため、他方のトランジスタM2のドレイン電流、即ち、出力端子2の電流はD/Aコンバータ6の出力電流と等しくなる。この状態からスイッチ素子S1、S2をオフすると、トランジスタM1、M2のゲート電圧はホールドコンデンサC1によりホールドされ、前述のようにトランジスタM1に設定された電流が、出力端子2から負荷の発光素子D1に駆動電流として供給される。また、スイッチ素子S3、S4をオンすると、先の説明と全く同様にトランジスタM4のドレイン電流がD/Aコンバータ6の出力電流と等しくなるように制御が働き、出力端子3から負荷の発光素子D2に駆動電流として供給される。

【0022】ここで、本実施形態では、スイッチ素子S1、S2又はS3、S4をオンした時に形成される負帰還ループは、帰還抵抗器Rfに流れる電流がほぼ0になった時、即ち、電流帰還型演算増幅器4の入力端子間電圧が0の時にバランスするため、最終的にはトランジスタM2、M4のドレイン電圧は演算増幅器4の正転入力端子+における電圧源5の基準電圧にほぼ等しくなる。従って、トランジスタM2、M4からそれぞれ出力端子2、3を介して発光素子D1、D2に駆動電流を供給する場合、発光素子D1、D2の両端電圧は既知であるから、電圧源5における基準電圧を発光素子の既知の電圧に設定するのが望ましい。

【0023】こうすることにより、トランジスタM1、M3のドレイン電圧を出力端子2、3の電圧にそれぞれ等しくできるため、カレントミラー回路を構成する各対のトランジスタのドレイン-ソース間電圧V_{DS}依存による電流ミラー比の悪化を改善することができる。よって、各発光素子の出力電流のバラツキを抑えられ、高精度の電流出力回路を実現することができる。

【0024】図2は図1の回路に用いられる電流帰還型演算増幅器4の一例を示す回路図である。図2において、端子7は演算増幅器4の正転入力端子+に相当し、端子8は反転入力端子-に相当する。また、I1、I2、I3は各々定電流バイアス電流源、M5、M6、M7、M8、M9、M10は増幅作用を行うPMOSトランジスタ又はNMOSトランジスタである。このような回路によって電流帰還型演算増幅器4が構成されている。なお、演算増幅器4としてはこの他に様々な回路があることは言うまでもない。

【0025】

【発明の効果】以上説明したように本発明は、次の効果がある。

(1) 出力電流を設定する基準電流源は1つあればよく、また、相対精度を必要とするのは一対のトランジスタから成るカレントミラー回路だけであるので、出力電流を設定する電流源を出力チャンネル数分必要とする従来回路に比べてチャンネル間の出力電流バラツキを大幅に小

(5)

特開2000-81920

さくすることができる。

(2) 出力電流を設定するのに演算増幅器を用いて帰還をかけて能動的に設定しているので、従来のように受動的に出力電流を設定するのに比べて出力電流を設定する時間を短縮することができる。

(3) 出力電流を設定する基準電流源は1つでよく、チャネル当たりの素子数を削減できるので、半導体集積回路で集積化する場合に回路が占める占有面積を小さくでき、安価に作製することができる。

(4) 演算増幅器における基準電圧を負荷の素子の電圧と等しく設定することにより、カレントミラー回路を構成する一対のトランジスタのドレインソース間電圧を等しくした状態で電流をサンプリングでき、出力電流の精度を大幅に高めることができる。

【図面の簡単な説明】

【図１】本発明の一実施形態の構成を示す回路図である。

【図2】 図1の実施形態の電流帰還型演算増幅器の一例

を示す回路図である。

【図3】従来例の発光素子を駆動する駆動回路を示す回路図である。

【図4】図3の回路のD/Aコンバータを詳細に示す回路図である。

【図5】他の従来例を示す回路図である。

【符号の説明】

1 電源端子

2、3 出力端子

4 電流傳遞型演算增幅器

5 塘庄源

③ 電流出力型 D/A コンバータ

C1～C2 ホールドコンデンサ

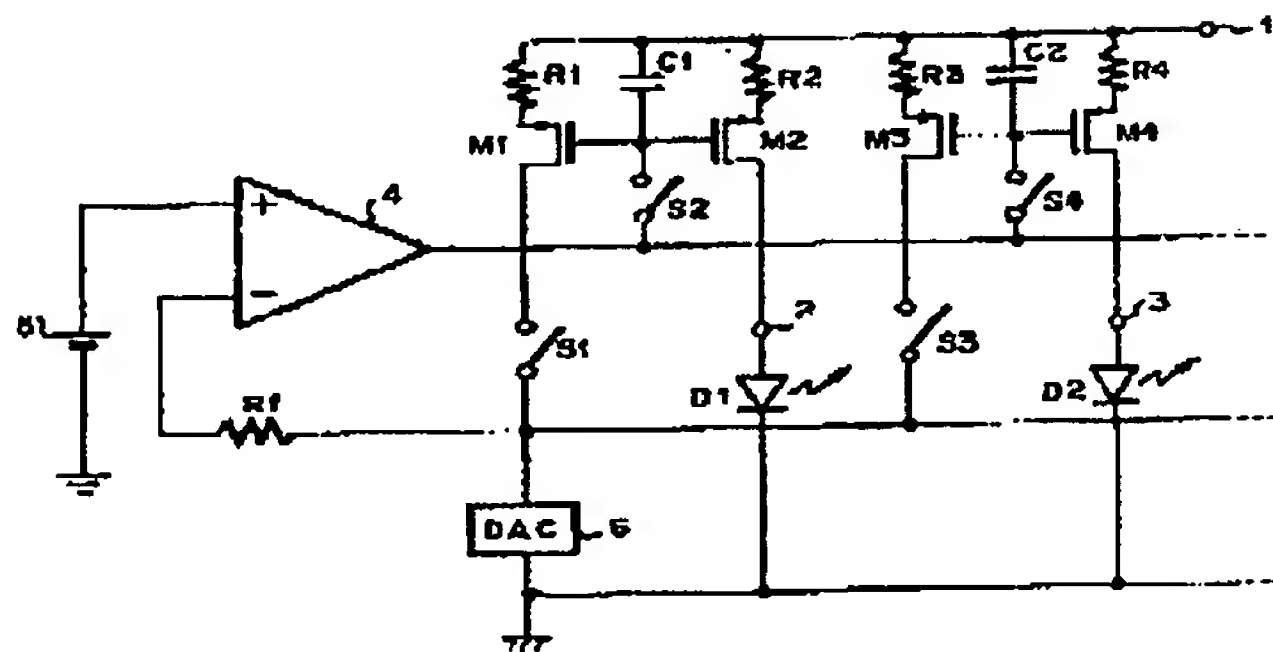
D1、D2 发光素子

M1~M4 PMOSトランジスタ

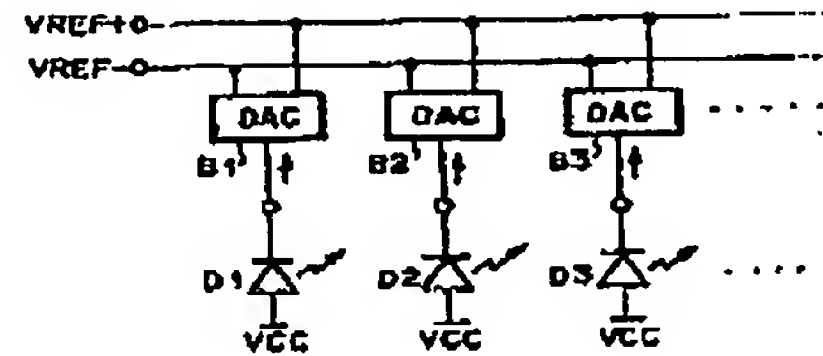
R1~R4 抵抗器

S1~S4 スイッチ素子

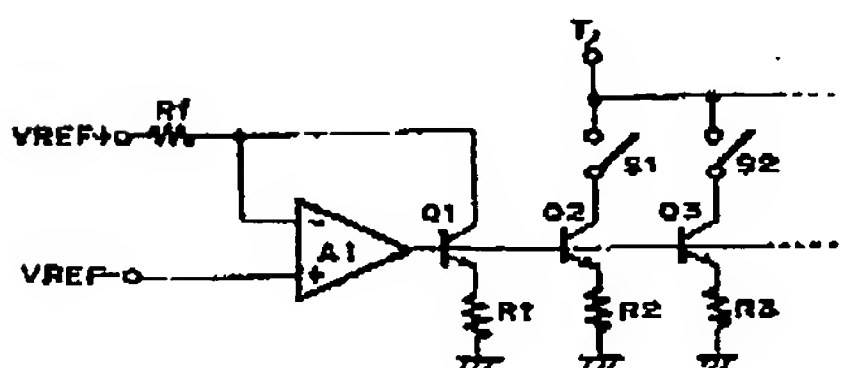
【圖 1】



【圖 3】



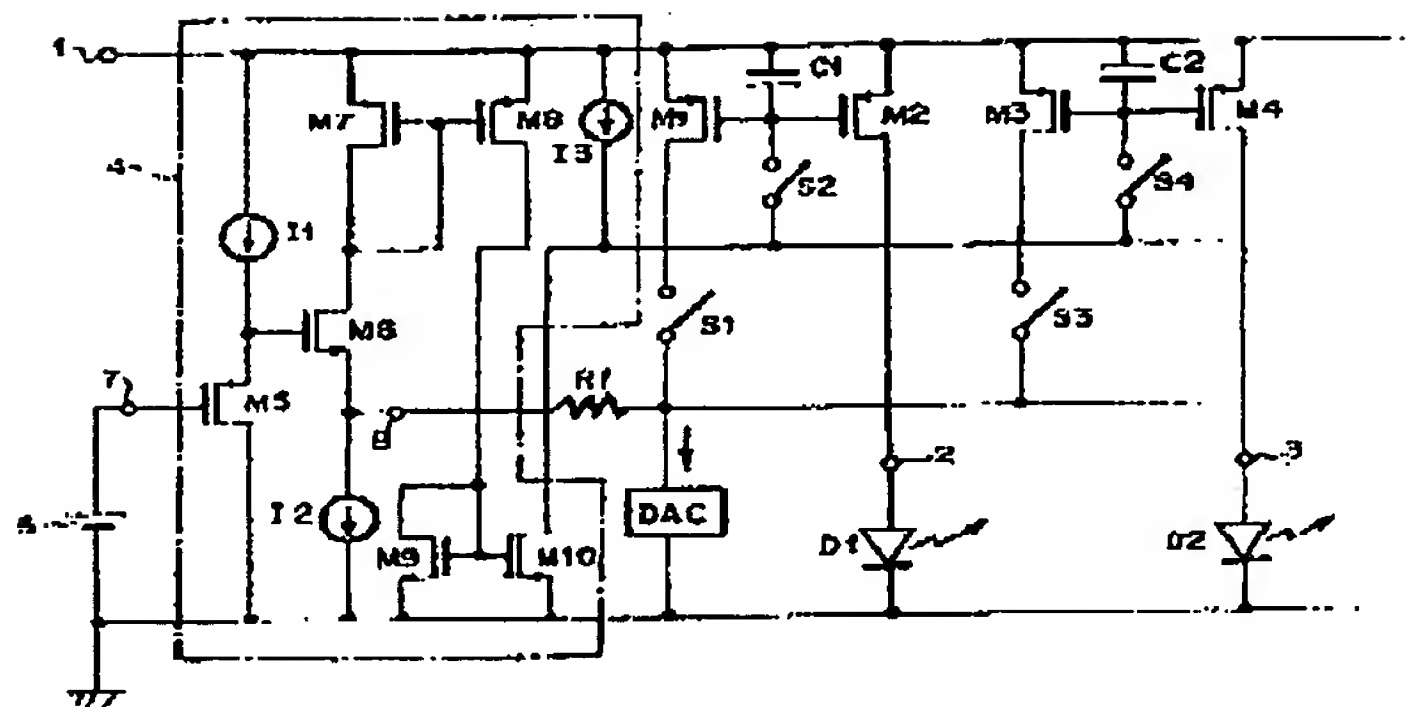
【図 4】



(6)

特開2000-81920

【図2】



【図5】

